

Docket No.: 50395-257

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masashi ITO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 11, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR OPTICAL INTEGRATED DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

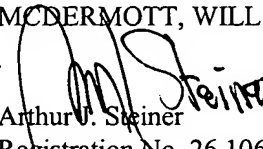
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. JP2003-070492, filed on March 14, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur V. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:gav
Facsimile: (202) 756-8087
Date: March 11, 2004

日本国特許庁 *McDermott, Will & Emery*
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月14日
Date of Application:

出願番号 特願2003-070492
Application Number:
[ST. 10/C]: [JP 2003-070492]

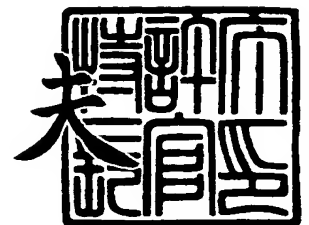
出願人 住友電気工業株式会社
Applicant(s):

出
(金)
(交)
3
11/27/04

2004年 1月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 102Y0728

【提出日】 平成15年 3月14日

【あて先】 特許庁長官殿

【国際特許分類】 G02B 1/11
G02B 6/122

【発明者】

【住所又は居所】 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会
社横浜製作所内

【氏名】 伊東 雅史

【特許出願人】

【識別番号】 000002130

【氏名又は名称】 住友電気工業株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100089978

【弁理士】

【氏名又は名称】 塩田 辰也

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100110582

【弁理士】

【氏名又は名称】 柴田 昌聰



【選任した代理人】

【識別番号】 100108257

【弁理士】

【氏名又は名称】 近藤 伊知良

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0106993

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体発光デバイス及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の端面を有する半導体発光デバイス部と、
前記第 1 の端面に設けられた反射防止膜と、
を備え、
前記反射防止膜は、第 1 の層と第 2 の層とを有しており、
前記第 1 の層は、前記第 1 の端面と前記第 2 の層との間に設けられており、
前記第 1 の層の材料の屈折率は、前記第 2 の層の材料の屈折率よりも小さい、
半導体発光デバイス。

【請求項 2】 前記第 1 の層は、シリコン窒化物、シリコン酸化物、シリコン酸窒化物及びアルミナのいずれかである、請求項 1 に記載の半導体発光デバイス。

【請求項 3】 前記第 2 の層は、酸化チタン及び酸化タンタルのいずれかである、請求項 1 又は 2 に記載の半導体発光デバイス。

【請求項 4】 半導体発光デバイスの製造方法であって、
第 1 及び第 2 の端面を有する半導体発光デバイスチップをウェハから形成した後、前記半導体発光デバイスチップの前記第 1 の端面に第 1 の層を形成し、
前記第 1 の層より高い屈折率を有する第 2 の層を前記第 1 の層上に形成する、
方法。

【請求項 5】 前記第 1 及び第 2 の層は、イオンアシスト蒸着法により形成する、請求項 4 に記載の方法。

【請求項 6】 前記第 1 の層は、シリコン窒化物、シリコン酸化物、シリコン酸窒化物及びアルミナのいずれかであり、
前記第 2 の層は、酸化チタン及び酸化タンタルのいずれかである、
請求項 4 又は 5 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体発光デバイス及びその製造方法に関する。

【0002】

【従来の技術】

特許文献1には、第1及び第2の膜を有する反射膜を半導体レーザ素子の発光面に形成する方法が記載されている。非特許文献1には、半導体レーザ増幅素子のための低反射膜を形成する方法が記載されている。この方法により形成された低反射膜は、半導体レーザ増幅素子の端面に TiO_2 膜を備える。また、該 TiO_2 膜上に SiO_2 膜を更に備えている。

【特許文献1】

特開平7-66500号公報

【非特許文献1】

J. Lee et al, Jpn. J. Appl. Phys., 36, pp.L52-L54 (1997)

【0003】

【発明が解決しようとする課題】

ところで、光変調器と半導体レーザ等とを集積した半導体光集積素子の分野では、その端面（光出射面）の反射率を非常に低く抑えるために、反射防止膜（低反射膜）が用いられる。本発明者の研究によれば、半導体発光デバイスにおいては、半導体発光デバイスの端面に形成された膜の応力の影響により反り等を生じる場合がある。本発明者の研究の結果、この応力は半導体発光デバイスの端面に形成された反射防止膜に起因することを発見した。したがって、半導体発光デバイスの端面に形成された反射防止膜の低応力化が求められる。そのためには、半導体発光デバイスの端面に形成された反射防止膜の薄膜化が必要となる。

【0004】

ここで、上記特許文献1の反射膜は、半導体レーザ素子の発光面に第1及び第2の膜を備えている。この反射膜は、5つの層が積層されているため膜厚が厚い。また、反射膜の第2の膜は $\lambda/4$ の膜厚で形成されている。したがって、第2の膜の膜厚は、発光波長 λ によって決定されるため根本的に薄くできない。一方、上記非特許文献1の低反射膜は、高屈折率、低屈折率の順で積層された2層構造を有する。しかし、この低反射膜においては、応力の点で改善の余地がある。

【0005】

そこで、本発明の目的は、膜厚の薄い反射防止膜を端面に備える半導体発光デバイス及びその製造方法を提供することとした。

【0006】**【課題を解決するための手段】**

本発明の一側面は、半導体発光デバイスに係わる。半導体発光デバイスは、第1及び第2の端面を有する半導体発光デバイス部と、第1の端面に設けられた反射防止膜とを備える。反射防止膜は、第1の層と第2の層とを有している。第1の層は、第1の端面と第2の層との間に設けられている。第1の層の材料の屈折率は、第2の層の材料の屈折率よりも小さい。

【0007】

半導体発光デバイスの反射防止膜は、半導体発光デバイス部の端面に設けられた第1の層と、この層よりも屈折率が高い第1の層上の第2の層とを備えるので、反射防止膜の膜厚を薄くできる。

【0008】

なお、第1の層は、シリコン窒化物、シリコン酸化物、シリコン酸窒化物及びアルミナのいずれかであると好適である。第2の層は、酸化チタン及び酸化タンタルのいずれかであると好適である。

【0009】

本発明の別の側面は、半導体発光デバイスの製造方法に係わる。この方法では、第1及び第2の端面を有する半導体発光デバイスチップをウェハから形成した後、半導体発光デバイスチップの第1の端面に第1の層を形成する。次いで、第1の層より高い屈折率を有する第2の層を第1の層上に形成する。

【0010】

第1及び第2の層は、イオンアシスト蒸着法により形成することが好ましい。なお、第1の層は、シリコン窒化物、シリコン酸化物、シリコン酸窒化物及びアルミナのいずれかであると好適である。第2の層は、酸化チタン及び酸化タンタルのいずれかであると好適である。

【0011】

【発明の実施の形態】

以下、添付図面を参照しながら本発明の実施形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。また、図示の便宜上、図面の寸法比率は説明のものと必ずしも一致しない。

【0012】

(第1実施形態)

図1は、第1の実施の形態に係わる半導体発光デバイスを示す斜視図である。半導体発光デバイス1は、半導体発光デバイス部2aと、反射防止膜5aとを有する。半導体発光デバイス1は、第1の端面3aと第2の端面3bとを有する。反射防止膜5aは、半導体発光デバイス部2aの一端面に設けられている。他端面には、反射膜又は反射防止膜を備えることができる。引き続き説明では、本実施の形態に従う半導体発光デバイスは、半導体光集積素子である。

【0013】

図2は、第1の実施の形態に係わる半導体光集積素子を示す斜視図である。図3は、I-I線で示された半導体光集積素子の断面図である。図2及び3を参照しながら、第1の実施の形態に係わる半導体光集積素子を説明する。この半導体光集積素子1は、半導体発光デバイス部2a、半導体変調素子部2b、第1の端面3a及び第2の端面3bを備える。第1の端面3aには、反射防止膜5aが設けられている。好適な実施例では、第2の端面3bには反射膜5bが設けられている。半導体発光デバイス部2aと半導体変調素子部2bとの間には、第1の分離素子部2cが位置している。半導体発光デバイス部2aは、所定の波長の光を発生できる。半導体変調素子部2bは、半導体発光デバイス部2aから受けた光を変調できる。半導体発光デバイス部2a、半導体変調素子部2b及び第1の分離素子部2cは、n型InP半導体基板といった半導体基板4に設けられている。

【0014】

半導体発光デバイス部2aは、半導体メサ部12を備えている。半導体メサ部12は、活性層6と、n型クラッド層といったn型半導体層8と、p型クラッド層といったp型半導体層10を備えている。活性層6は、III-V系化合物半導

体を含む。活性層 6 は、III-V 系化合物半導体を含む n 型半導体層 8 と、III-V 系化合物半導体を含む p 型半導体層 10 との間に設けられている。なお、半導体層 6 ~ 10 は光導波路 12 a を構成する。

【0015】

半導体メサ部 12 は、光導波路 12 a の両側面に電流狭窄部 12 b を有する。半導体層 14 上には、p 型半導体層 10 と異なる導電型の n 型半導体層 16 が設けられている。半導体メサ部 12 は、光導波路 12 a 及び電流狭窄部 12 b 上に設けられた p 型半導体層 20 を備える。半導体メサ部 12 は p 型半導体層 20 上にコンタクト層 22 を更に備える。

【0016】

また、半導体発光デバイス部 2 a は、半導体メサ部 12 を形成するように設けられた凹部 18 を有する。凹部 18 は、半導体層 14、16、20、22 を貫通して基板 4 に到達している。半導体発光デバイス部 2 a は、半導体メサ部 12 上に設けられたオーミック電極 28 を備える。電極 28 は、アノードのために設けられている。半導体発光デバイス部 2 a は、電極 28 と半導体層との間に、絶縁性シリコン無機化合物層 26 を備える。絶縁層 26 はコンタクト層 22 に通じる開口部を有する。電極 28 は、この開口部を介してコンタクト層 22 に電氣的に接続されている。また、半導体発光デバイス部 2 a は、基板 4 の裏面上に設けられたオーミック電極 32 を備える。電極 32 は、基板 4 の裏面の全面にカソードのために設けられている。

【0017】

半導体変調素子部 2 b は、半導体メサ部 52 を備える。半導体メサ部 52 は、活性層 46、n 型クラッド層といった n 型半導体層 48 及び p 型クラッド層といった p 型半導体層 50 を備えている。活性層 46、n 型半導体層 48 及び p 型半導体層 50 の構成及び材質は、上述の半導体メサ部 12 と同一である。なお、半導体層 46 ~ 50 は、光導波路を構成する。この光導波路は光導波路 12 a と光学的に結合されており、光導波路 12 a と同じ構造である。半導体メサ部 52 は、電気絶縁部 12 b と同じ構造の電気絶縁部（不図示）を光導波路の側面に有する。半導体メサ部 52 は、p 型半導体層 20 を備え、その上にコンタクト層 54

を更に備える。

【0018】

また、半導体変調素子部 2 b は、半導体メサ部 5 2 上に設けられたオーミック電極 5 8 を備える。電極 5 8 は、アノード用に設けられている。半導体変調素子部 2 b は、基板 4 の裏面上に設けられたオーミック電極 3 2 を備える。電極 3 2 は、半導体変調素子部 2 b のカソードとして利用できる。

【0019】

図 4 は、図 3 に示された半導体光集積素子の第 1 の端部 9 を拡大した断面図である。図 4 を参照しながら、反射防止膜 5 a について説明する。反射防止膜 5 a は、発光波長において相対的に低い反射率を有する。反射防止膜 5 a の反射率は 0.1% 以下である。

【0020】

反射防止膜 5 a は、第 1 及び第 2 の層 7 a、7 b を備える 2 層構造を有する。第 1 の層 7 a の材料としては、シリコン窒化物、例えば SiN (屈折率 1.82)、シリコン酸化物、例えば SiO₂ (屈折率 1.48)、シリコン酸窒化物、例えば SiON (屈折率 1.79) 又はアルミナ、例えば Al₂O₃ (屈折率 1.65) 等が好適である。第 2 の層 7 b の材料としては、酸化チタン、例えば TiO₂ (屈折率 2.40) 又は酸化タンタル、例えば Ta₂O₅ (屈折率 2.14) 等が好適である。なお、上述の第 1 及び第 2 の層 7 a、7 b の材料の組み合わせ (第 1 の層/第 2 の層) としては、シリコン窒化物/酸化チタン、シリコン窒化物/酸化タルタル、シリコン酸化物/酸化チタン、シリコン酸化物/酸化タンタル、シリコン酸窒化物/酸化チタン、シリコン酸窒化物/酸化タンタル、アルミナ/酸化チタン及びアルミナ/酸化タンタルが例示される。

【0021】

なお、第 2 の端面 3 b に設けられた反射膜 5 b は、発光波長において相対的に高い反射率を有する。反射膜 5 b の反射率は、例えば 80%～95% である。反射膜 5 b の材料としては、誘電体多層膜等が挙げられる。

【0022】

図 5 (A)～図 8 (B) は、半導体光集積素子の製造工程を示す斜視図である

。図5 (A) ～図8 (B) を参照しながら、半導体光集積素子の製造方法について説明する。

【0023】

図5 (A) は、半導体光集積素子のためのアレイ状の素子を有するウェハを示す斜視図である。図5 (B) は、ウェハ上のアレイ内の一素子を示す図面である。半導体光集積素子70は、図5 (A) に示すウェハ75を所定のライン75a、75bにより区分けされている。引き続いて、アレイ内の代表的な素子70を参照しながら半導体光集積素子の製造方法を説明する。

【0024】

(半導体多層膜形成工程)

図5 (B) を参照すると、n型InP基板といった半導体基板81上には、n型InPバッファ層82が形成されている。半導体基板81は、半導体発光素子部領域82a及び半導体変調素子部領域82bを備える。基板81の半導体発光素子部領域82aには、n型InP半導体膜84、半導体活性層膜86及びp型InP半導体膜88が、例えば有機金属気相成長(OMVPE)法により、順にエピタキシャルに成長されている。同様の方法により、n型InPバッファ層82上には、n型InP半導体膜83、半導体活性層膜85及びp型InP半導体膜87が、順にエピタキシャルに形成されている。

【0025】

(光導波路メサ形成工程)

図6 (A) を参照すると、光導波路メサ100a、100b及び100cが形成されている。光導波路メサ100a、100b及び100cを形成するために、導波路用マスク102を形成する。マスク102は、例えば、絶縁性シリコン無機化合物膜マスクである。マスク102を用いて、半導体発光デバイス部領域82a及び半導体変調素子部領域82b (図5 (B) 参照。) に形成された半導体多層膜をエッチングする。このエッチングは、n型InP半導体膜84、半導体活性層膜86、p型InP半導体膜88、n型InP半導体膜83、半導体活性層膜85及びp型InP半導体膜87が除去され基板81が露出するまで行われる。エッチング工程の結果、光導波路部メサ100aは、n型InP半導体層(

n型クラッド層)84a、半導体活性層86a、p型InP半導体層(p型クラッド層)88aを備える。光導波路部メサ100bは、n型InP半導体層(n型クラッド層)83a、半導体活性層85a及びp型InP半導体層(p型クラッド層)87aを備える。

【0026】

(埋込形成工程)

図6(B)を参照すると、光導波路メサ100a及び100b(図6(A)参照。)を埋め込むように、高抵抗InP半導体膜(例えば、FeドープInP半導体)及びn型InP半導体膜からなる埋込半導体部108が有機金属気相成長(OMCVD)法により形成されている。光導波路メサ100a及び100b並びに埋込半導体部108上には、p型InP半導体膜110及びp型GaInAs半導体膜112が形成されている。p型GaInAs半導体膜112もまた、光導波路メサ100a及び100b上に形成されている。p型GaInAs半導体膜112は、半導体発光デバイス部領域82a及び半導体変調素子部領域82bのためのコンタクト層として利用される。後の工程において、分離素子部領域のコンタクト層は除去される。トレンチ溝116により、半導体メサ部118が形成される。半導体メサ部118は、光導波路メサ100a、100b、埋込半導体部108及びコンタクト層112を備える。

【0027】

(オーミック電極形成工程)

図7(A)に示されるように、分離素子部領域のコンタクト層112をエッチングして、半導体発光デバイス部及び半導体変調素子部の各々のためのコンタクト層(不図示)を形成する。コンタクト層を分離した後、素子部毎にコンタクト層を有する絶縁性シリコン無機化合物膜124を形成する。そして、pオーミック電極138a及び138bを形成する。また、基板82の裏面には、その全面にnオーミック電極140を形成する。

【0028】

(ウェハの劈開)

図7(B)に示されるように、ウェハ75が劈開されると、個々のチップ71

に分離される。これにより、図7 (A) に示される半導体光集積素子チップ71の第1の端面3a及び第2の端面3bが形成される。すなわち、ウェハ75の劈開面は半導体光集積素子チップ71の端面になる。第1及び第2の端面3a、3bには、積層された半導体層の断面が現れる。また、この端面は半導体光集積素子71における発光面になる。

【0029】

(反射防止膜形成工程)

反射防止膜は、ウェハ75の劈開により形成された半導体光集積素子71の第1の端面3aに形成する。反射防止膜の形成は、イオンアシスト蒸着法により行う。図8 (A) は、イオンアシスト蒸着装置を用いて反射防止膜の第1の層を第1の端面に形成する工程を示す概略図である。図8 (A) を参照すると、イオンアシスト蒸着装置150は、チャンバ152、イオンビーム加速電源 (不図示) 及び電子ビーム加速電源 (不図示) から構成される。イオンアシスト蒸着装置150は、チャンバ152内の上方に、半導体光集積素子チップ71を保持する保持部材154及び保持部材154を回転させる回転部156を備える。イオンアシスト蒸着装置150は、チャンバ152内の下方に、イオンガン160、電子ガン162及び原料収容部164を備える。イオンガン160及び電子ガン162は、保持部材154に保持された半導体光集積素子チップ71の第1の端面3aに面するように配置されている。イオンガン160は、イオン化ガス導入口166から供給されたガスをイオンビーム加速電源の印加電圧によってイオン化する。電子ガン162は、電子ビーム加速電源の印加電圧によって発生した電子ビームを、原料収容部164に収容された原料に照射する。原料に電子ビームを照射すると、蒸発した原料が保持部材154に向けて放出される。

【0030】

反射防止膜の形成工程は、まず、半導体光集積素子チップ71を保持部材154に装着する。第1の層7aの原料であるアルミナが充填されたカートリッジを、原料収容部164に装着する。イオン化ガス導入口166を通してイオンガン160内に酸素ガス及びアルゴンガスを供給する。イオンビーム加速電源に電圧印加し酸素ガス及びアルゴンガスをイオン化させる。イオン化した酸素ガス及びア

ルゴンガスは、半導体光集積素子チップ 71 が装着された保持部材 154 に向けて放出される。一方、電子ガン 162 が放出した電子ビームをアルミナに照射することにより、アルミナを蒸発させる。蒸発したアルミナは、半導体光集積素子チップ 71 が装着された保持部材 154 に向けて放出される。第 1 の端面 3a には、130 nm の膜厚のアルミナ膜が形成される。

【0031】

図 8 (B) は、イオンアシスト蒸着装置を用いて反射防止膜の第 2 の層を形成する工程を示す概略図である。第 2 の層 7b の原料である酸化チタンが充填されたカートリッジを、原料収容部 164 に装着する。上述の第 1 の膜 7a の形成方法と同様の方法により、膜厚が 50 nm となるように酸化チタン膜をアルミナ膜上に形成する。なお、アルミナ膜及び酸化チタン膜の膜厚は、半導体発光デバイス部 2a の発光波長 $1.55 \mu\text{m}$ における反射率が 0% となるように設定したものである。このようにして得られた反射防止膜 5a は、第 1 の端面 3a にアルミナ膜、酸化チタン膜の順で積層された 2 層構造を有する（以下、「構造 A」という。）。反射防止膜 5a の膜厚は 180 nm である。

【0032】

膜厚と発光波長との関係について検討すると、第 1 及び第 2 の層 7a、7b の膜厚は、半導体発光デバイス部 2a の発光波長に対して $\lambda/2$ 及び $\lambda/4$ (λ は、半導体発光デバイス部 2a の発光波長を示す。) の関係を満たす必要はない。具体的には、第 1 の層 7a の膜厚は 130 nm であり、第 2 の層 7b の膜厚は 50 nm であり、いずれの層の膜厚も $\lambda/4$ より薄くできる。そして、第 2 の層 7b の膜厚は、第 1 の層 7a に比べて常に薄くなる。

【0033】

なお、第 2 の端面 3b に備える反射膜は、従来公知のプラズマ CVD 法やイオンアシスト蒸着法等により形成することができる。

【0034】

次に、非特許文献 1 (Jpn. J. Appl. Phys. , 36 , pp.L52-L54 (1997)) に記載する低反射膜と比較するために、半導体光集積素子チップ 71 の第 1 の端面 3a にアルミナ膜、酸化チタン膜の順で積層した 2 層構造（以下、「構造 B」という

。)を有する反射防止膜をイオンアシスト蒸着法により形成した。すなわち、半導体光集積素子チップ71の第1の端面3aに、膜厚が100nmとなるように酸化チタン膜(第1の層7a)を形成した。次いで、膜厚が185nmとなるように酸化チタン膜上にアルミナ膜(第2の層7b)を形成した。酸化チタン膜及びアルミナ膜の膜厚は、半導体発光デバイス部2aの発光波長1.55 μ mにおける反射率が0%となるように設定したものである。この場合における反射防止膜の膜厚は285nmであった。この比較実験の結果から明らかなように、構造Aを有する反射防止膜5aの膜厚は、構造Bを有する反射防止膜よりも薄い。

【0035】

次に、構造A及び構造Bを有する反射防止膜の半導体光集積素子に対する応力について検討した。上述の半導体光集積素子チップ71の第1の端面3aに反射防止膜5aを形成した時と同一条件で、ウェハ基板上に構造A及び構造Bを有する反射防止膜をそれぞれ形成した。反射防止膜のウェハ基板に対する応力は、ウェハの反り測定により測定した。構造Aを有する反射防止膜5aの応力は-361.5MPaであり、構造Bを有する反射防止膜の応力は-609.3MPaであった。この結果から、構造Aを有する反射防止膜5aは、構造Bを有する反射防止膜に比べて応力が軽減されている。このように応力が軽減されたのは、構造Aを有する反射防止膜5aの膜厚が構造Bを有する反射防止膜よりも薄いことに起因すると考えられる。

【0036】

次に、構造A及び構造Bを有する反射防止膜の透過特性について検討した。図9は、半導体光集積素子チップの端面に形成された反射防止膜の透過特性を示すグラフである。図9において、グラフAは構造Aを有する反射防止膜5aの透過特性を示し、グラフBは構造Bを有する反射防止膜の透過特性を示す。この結果によれば、構造Aを有する反射防止膜5aは、波長帯域が反射率0.1%以下において80nm程度である。したがって、半導体光集積素子1は、実用上十分な波長帯域を有していることが確認された。

【0037】

次に、第1の端面3aに反射防止膜5aが形成された半導体光集積素子1のり

ーク電流について検討した。図10は、半導体光集積素子のI-V特性を示すグラフである。図10において、グラフAは構造Aを有する反射防止膜5aを形成した半導体光集積素子1のI-V特性を示し、グラフBは構造Bを有する反射防止膜を形成した半導体光集積素子のI-V特性を示す。また、グラフCは反射防止膜を形成しない場合の半導体光集積素子のI-V特性を示す。この結果から、構造Aを有する反射防止膜5aを形成した半導体光集積素子1は、構造Bを有する反射防止膜を形成した半導体光集積素子に比べてリーク電流が少ないことが確認された。すなわち、本発明に係る反射防止膜5aにおいては、第1の層7aの材料の屈折率が第2の層の材料の屈折率よりも小さい。これに対し、非特許文献1に記載の低反射膜においては、第1の膜の材料の屈折率が第2の層の材料の屈折率よりも大きく、第1の膜の材料として酸化チタンを用いる。酸化チタンは電子ガン162により電子ビームが照射されると高エネルギーを有するため、蒸発した酸化チタンが第1の端面3aに被着するときに半導体光集積素子チップ71の第1の端面3aの接合部を破壊する。これがリーク電流の原因であると考えられる。

【0038】

次に、上記以外の膜材料を使用した場合における反射防止膜5aの膜厚について検討を行った。膜材料の組み合わせ（第1の層／第2の層）の例示は、SiO₂／TiO₂、TiO₂／SiO₂、Al₂O₃／TiO₂、SiO₂／TiO₂、TiO₂／Al₂O₃及びTiO₂／SiO₂である。なお、半導体発光デバイス部の発光波長は、1.55μm及び1.30μmとした。膜厚の測定結果を表1に示す。

【表1】

発光波長 (μm)	反射防止膜の構造 (第1の層/第2の層)	第1の層の 膜厚 (nm)	第2の層の 膜厚 (nm)	反射防止膜の 全膜厚 (nm)
1.55	$\text{Al}_2\text{O}_3/\text{TiO}_2$	130	50	180
	$\text{SiO}_2/\text{TiO}_2$	117	59	176
	$\text{TiO}_2/\text{Al}_2\text{O}_3$	100	185	285
	$\text{TiO}_2/\text{SiO}_2$	123	196	319
1.30	$\text{Al}_2\text{O}_3/\text{TiO}_2$	100	40	150
	$\text{SiO}_2/\text{TiO}_2$	95	51	146
	$\text{TiO}_2/\text{Al}_2\text{O}_3$	80	150	230
	$\text{TiO}_2/\text{SiO}_2$	102	168	270

【0039】

表1の結果から、第1の層の材料よりも大きい屈折率を有する材料からなる第2の層を第1の層上に形成する反射防止膜の構造であれば、反射防止膜の膜厚を薄くすることができることが確認された。

【0040】

(第2実施形態)

図11は、図3に示された断面線に沿った半導体光増幅素子の断面図である。図11を参照すると、半導体光増幅素子200は上記第1実施形態における半導体発光デバイス部と同様の構成を有している。すなわち、半導体光増幅素子200は、半導体基板4上に、活性層6と、n型半導体層8と、p型半導体層10を備え、第1及び第2の端面3a、3bを更に備える。活性層6と、n型半導体層8及びp型半導体層10は半導体メサ部（不図示）を構成する。第1の端面3aには、反射防止膜5aが設けられている。第2の端面3bには、反射膜5bが設けられている。半導体基板4、活性層6、n型半導体層8及びp型半導体層10の材質は、上記第1実施形態と同じである。半導体光増幅素子200は、1.55 μm といった所定の波長の光を発生できる。半導体層6～10は光導波路（不図示）を構成する。この光導波路上には、p型半導体層20を備える。p型半導体層20上には、コンタクト層22を備える。コンタクト層22上には、オーミック電極28を備える。電極28は、アノードのために設けられている。電極2

8と半導体層との間に、絶縁性シリコン無機化合物層26を備える。また、基板4の裏面上には、オーミック電極32を備える。電極32は、基板4の裏面の全面にカソードのために設けられている。

【0041】

次に、半導体光増幅素子の製造方法について説明する。半導体光増幅素子200は、上記第1実施形態における半導体発光デバイス部と同様の工程により製造される。ウェハ上には、半導体光集積素子のアレイの代わりに半導体光増幅素子のアレイが形成される。次いで、上記第1実施形態における半導体変調素子部領域を除いて、半導体発光素子部領域のみに半導体多層膜形成工程を行う。同様に半導体発光素子部領域のみに、光導波路メサ形成工程を行って半導体メサ部を形成する。次いで、埋込工程により半導体メサ部を埋め込むように埋込半導体部を形成した後、トレンチ溝を形成する。更に、コンタクト層及び電極形成工程を行った後、ウェハを劈開して半導体光増幅素子チップを形成する。これにより、半導体光増幅素子チップの第1及び第2の端面3a、3bが形成される。第1の端面3aには、第1の層（例えば、アルミナ膜）を形成する。次いで、第2の層（例えば、酸化チタン膜）を第1の層上に形成する。第1及び第2の層の形成は、イオンアシスト蒸着法により行う。このようにして反射防止膜5aが形成される。なお、第2の端面3bには反射膜5bを形成する。これにより、半導体光増幅素子200が製造される。

【0042】

以上、本発明をその実施形態に基づいて詳細に説明した。しかし、本発明は上記実施形態に限定されるものではない。本発明は、その要旨を逸脱しない範囲で様々な変形が可能である。

【0043】

例えば、上記実施形態では、半導体発光デバイスとして半導体光集積素子及び半導体光増幅素子について説明した。本発明の半導体発光デバイスは、DBF（分布帰還型半導体レーザ）レーザ素子、光変調器、DBR（分布反射型）レーザ素子等にも適用可能である。

【0044】

また、上記実施形態では、半導体発光集積素子及び半導体光増幅素子の発光波長が、 $1.55\mu\text{m}$ 及び／又は $1.30\mu\text{m}$ 帯である場合について説明した。本発明の半導体発光デバイスは他の波長帯域においても適用可能である。

【0045】

なお、発明者らの実験によれば、第1の層7aの材料として SiO_2 （屈折率1.45）を使用し、第2の層7bの材料としてアモルファスシリコン（a-Si、屈折率3.5）を使用しても、発光波長 $1.55\mu\text{m}$ における反射率が0%となる反射防止膜5a（膜厚 154nm 、第1の層の膜厚 133nm 、第2の層の膜厚 21nm ）の形成が可能であることを確認した（図12参照）。酸化チタン層や酸化タルタル層は、半導体光集積素子1のp型半導体層及びn型半導体層の間の絶縁性の点でアモルファスシリコン層よりも優れている。したがって、第1の層7aの材料としてシリコン酸化物（ SiO_2 ）を使用する場合には、第2の層の材料として酸化チタン又は酸化タルタルを使用すると有用である。

【0046】

光変調器集積化半導体レーザの光出射面（端面）では反射率を非常に低く抑えた低反射膜（反射防止膜、以下、「AR膜」という。）の成膜技術が重要である。半導体光通信用波長帯で0.1%以下の低反射率を得るには、高屈折率材料である TiO_2 やa-Siと低・中屈折率材料である SiO_2 や Al_2O_3 を組み合わせる必要がある。これらを成膜する手法としてはイオンアシスト蒸着（IAD）法が知られているが、接合破壊等の問題からレーザへの応用には一考を要する。本発明では接合破壊等の影響が低いAR膜をIAD法により成膜することでリーク電流を抑制したレーザ試作を行い、その特性を評価している。

【0047】

$1.55\mu\text{m}$ 帯のInP系レーザにおいては、AR膜の1層目に高屈折率の TiO_2 、2層目に SiO_2 を積層した2層構造にすることにより 130nm 程度の広帯域に亘り0.1%以下の反射率が得られる。しかし、本構造では端面に露出した半導体接合部でリーク電流が発生するため、レーザへの適用は困難である。そこで、 TiO_2 を2層目に、 Al_2O_3 を1層目にすることにより、広帯域を維持し且つリーク電流抑制が可能であるか調べている。

【0048】

レーザ共振器の端面の一方に、構造B： TiO_2 （100nm）／ Al_2O_3 （185nm）又は構造A： Al_2O_3 （130nm）／ TiO_2 （50nm）のAR膜を、他方に同様な反射膜（HR膜）をIDA法にて成膜した。AR膜の相違によるレーザの逆方向I-V特性を図10に示す。リファレンスとして未コート（CL／CL、構造C）の場合を示す。構造Bでは、AR膜を備える端面からと考えられるリーク電流が発生している。構造Aではリーク電流が低い良好なI-V特性が得られ、且つ反射率0.1%以下の帯域が80nm得られることを確認している。

【0049】

IDA法による反射防止膜はリーク電流の抑制が困難であり、実用面での課題が指摘されていたが、 Al_2O_3 ／ TiO_2 成膜構造を用いることでレーザへの適用が可能であることを見出している。

【0050】

【発明の効果】

以上説明したように、本発明によれば、端面に膜厚の薄い反射防止膜を備える半導体発光デバイス及びその製造方法が提供される。

【図面の簡単な説明】

【図1】

図1は、本発明の第1の実施形態に係わる半導体発光デバイスを示す斜視図である。

【図2】

図2は、本発明の第1の実施形態に係わる半導体発光デバイスを示す斜視図である。

【図3】

図3は、本発明の第1の実施形態に係わる半導体発光デバイスの断面図である。

【図4】

図4は、本発明の第1の実施形態に係わる半導体発光デバイスの端部を拡大し

た断面図である。

【図5】

図5（A）は半導体発光デバイスのためのアレイ状の素子を有するウェハを示す斜視図であり、図5（B）はウェハ上のアレイ内の一素子を示す図面である。

【図6】

図6（A）は半導体発光デバイスの製造方法における光導波路メサ形成工程を示す斜視図であり、図6（B）は埋込形成工程を示す斜視図である。

【図7】

図7（A）は半導体発光デバイスの製造方法におけるオーミック電極形成工程を示す斜視図であり、図7（B）はウェハの劈開して半導体発光デバイスチップを形成する工程を示す斜視図である。

【図8】

図8（A）はイオンアシスト蒸着装置を用いて反射防止膜の第1の層を端面に形成する工程を示す概略図であり、図8（B）は第2の層を第1の層上に形成する工程を示す概略図である。

【図9】

図9は、本発明の第1の実施形態に係わる半導体発光デバイスの反射防止膜の透過特性を示すグラフである。

【図10】

図10は、本発明の第1の実施形態に係わる半導体発光デバイスのI-V特性を示すグラフである。

【図11】

図11は、本発明の第2の実施形態に係わる半導体発光デバイスを示す模式図である。

【図12】

図12は、本発明の半導体発光デバイスの反射防止膜の第1の層にシリコン酸化物膜を形成し、第2の層にアモルファスシリコン膜を形成した場合における反射防止膜の透過特性を示すグラフである。

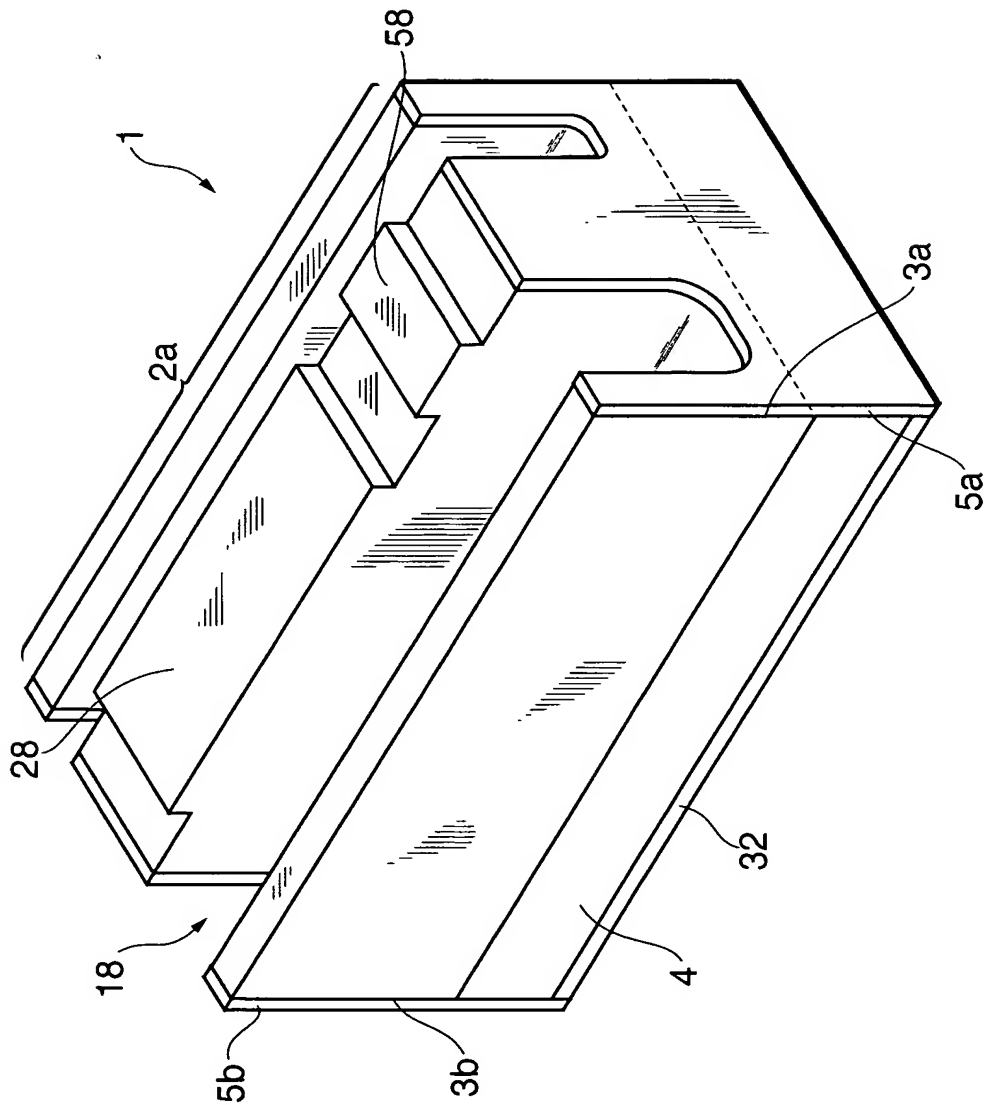
【符号の説明】

1…半導体光集積素子、2 a…半導体発光デバイス部領域、2 b…半導体変調素子部領域、3 a…第1の端面、3 b…第2の端面、4…半導体基板、5 a…反射防止膜、5 b…反射膜、7 a…第1の層、7 b…第2の層、6、4 6…活性層、8、10、48、50…クラッド層、12…半導体メサ部、14…埋込半導体層、16…ホールトラップ層、18…シリコン系無機絶縁膜、20…クラッド層、22、54…コンタクト層、28、32、58…電極。

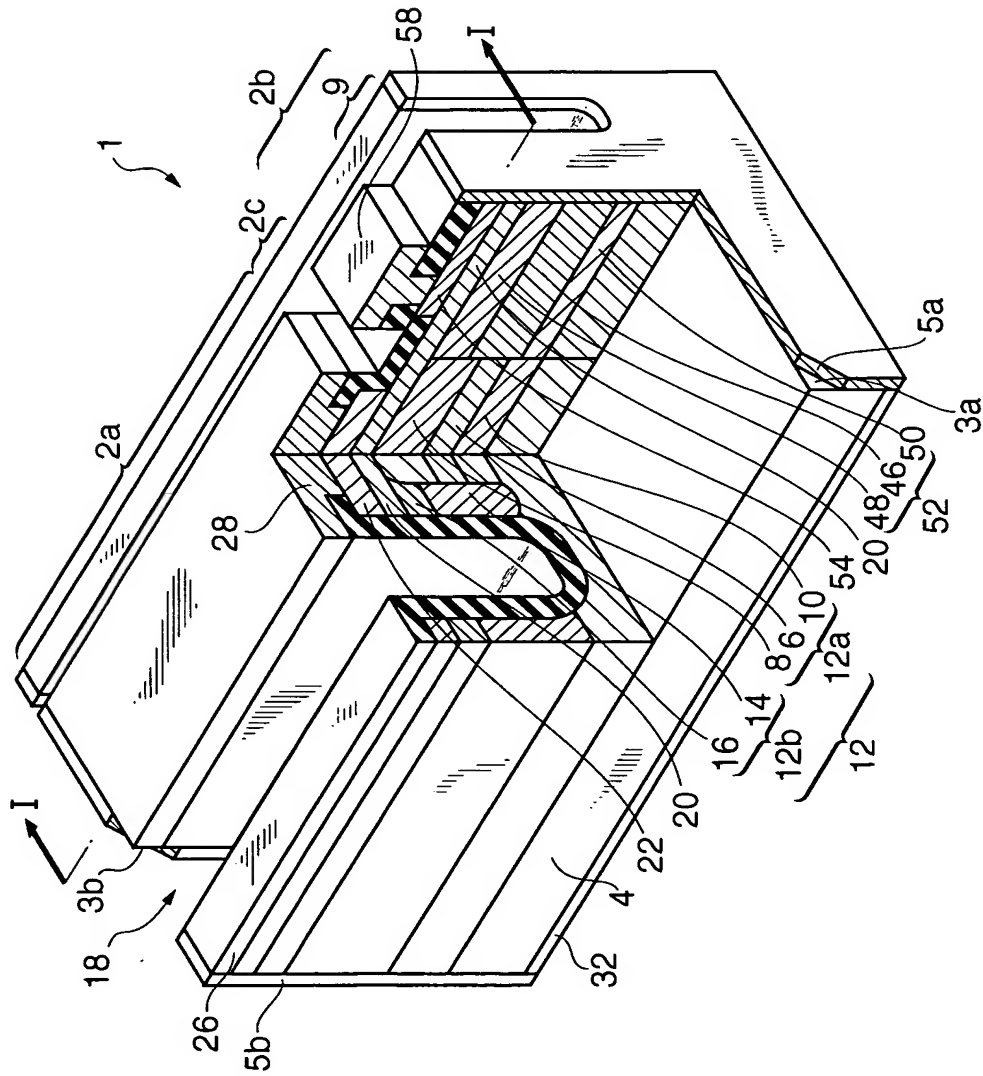
【書類名】

図面

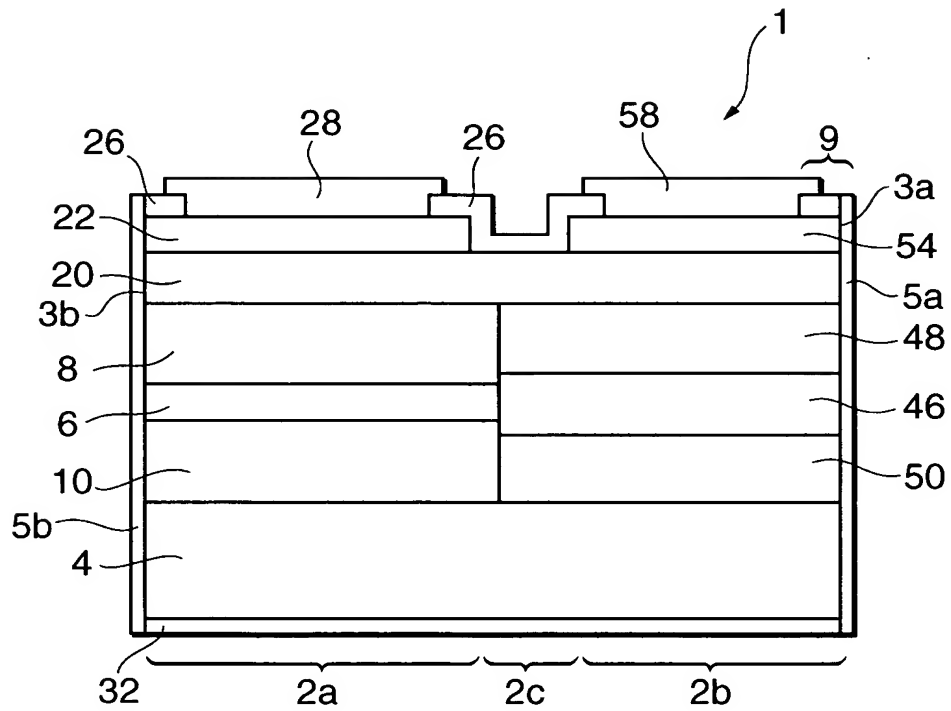
【図 1】



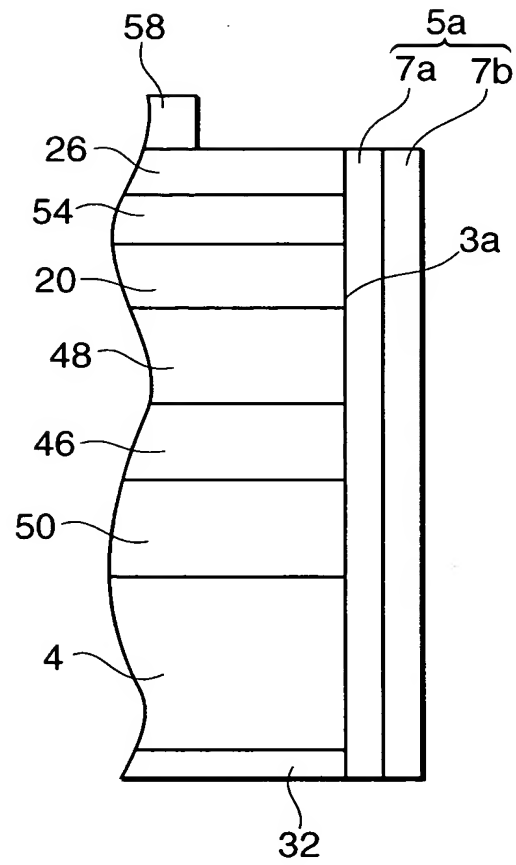
【図 2】



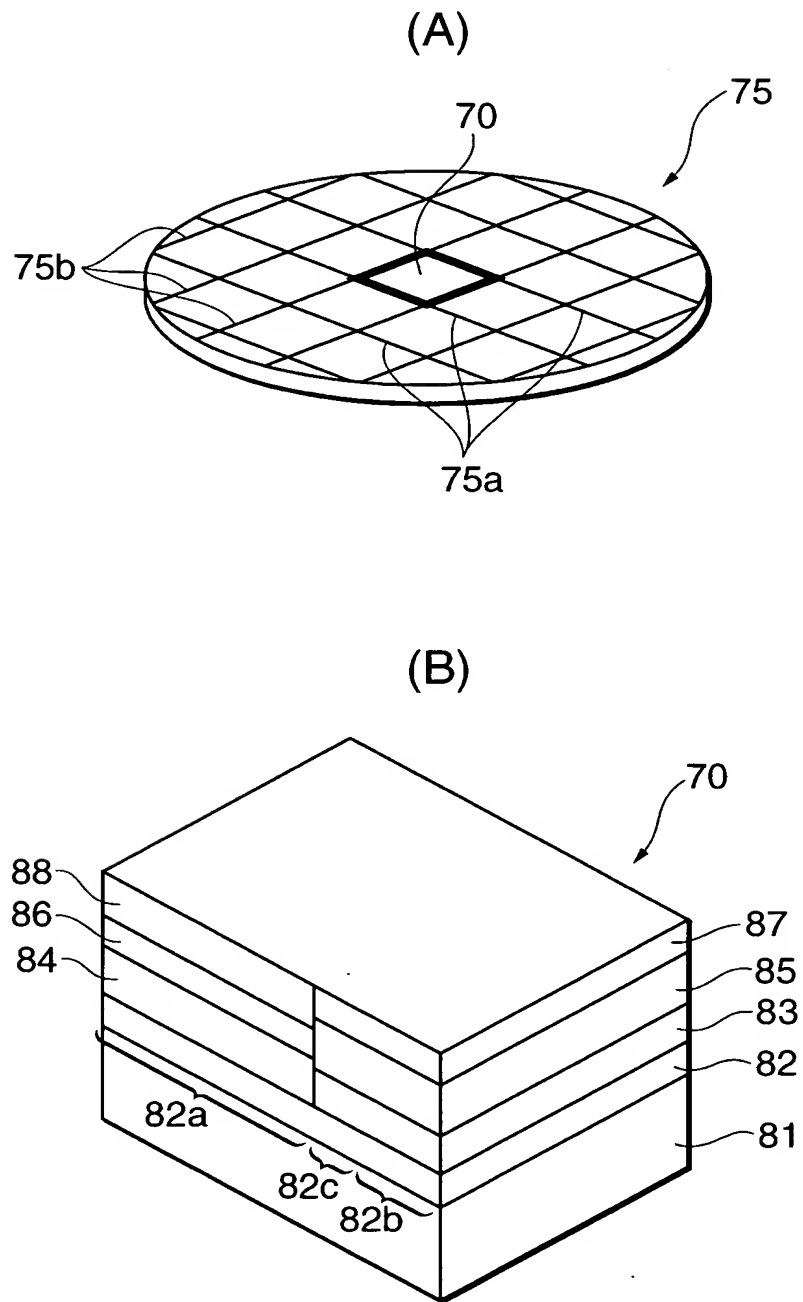
【図 3】



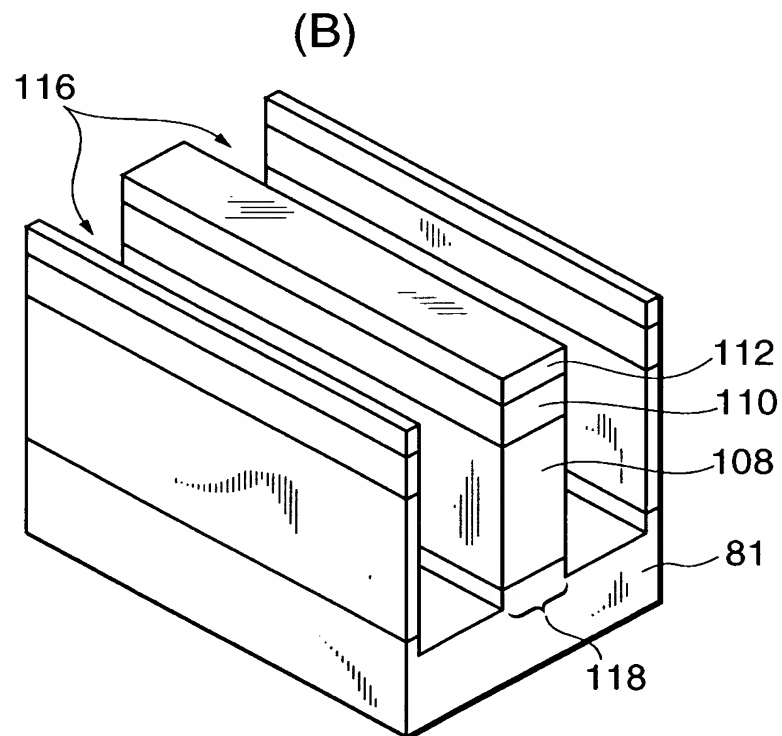
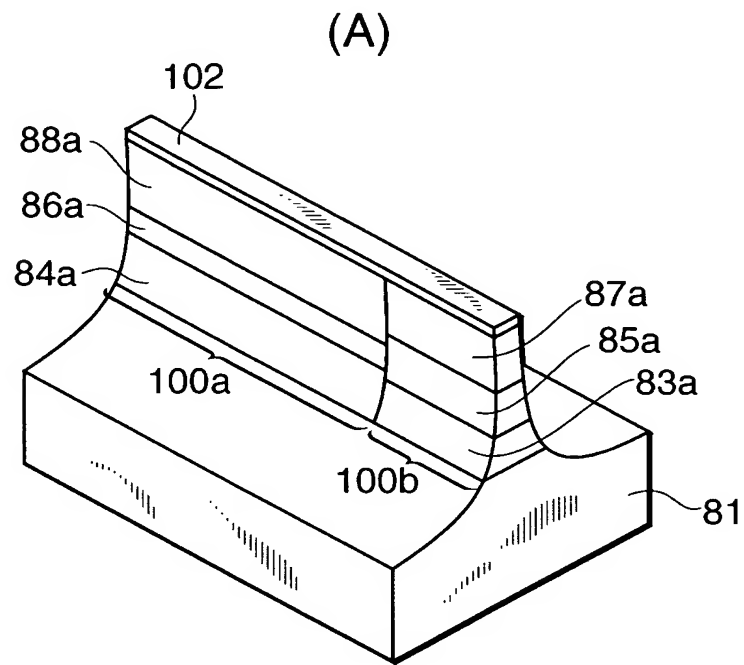
【図 4】



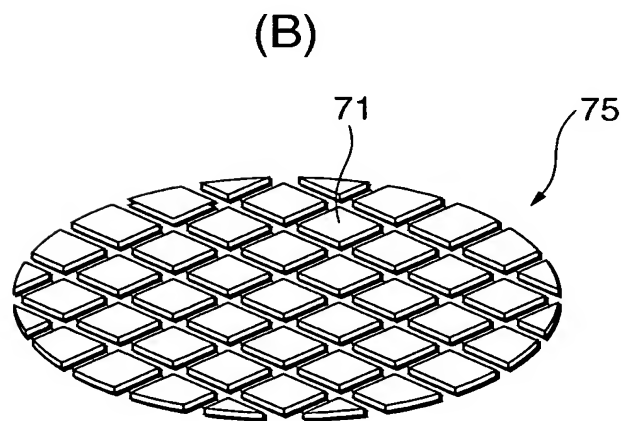
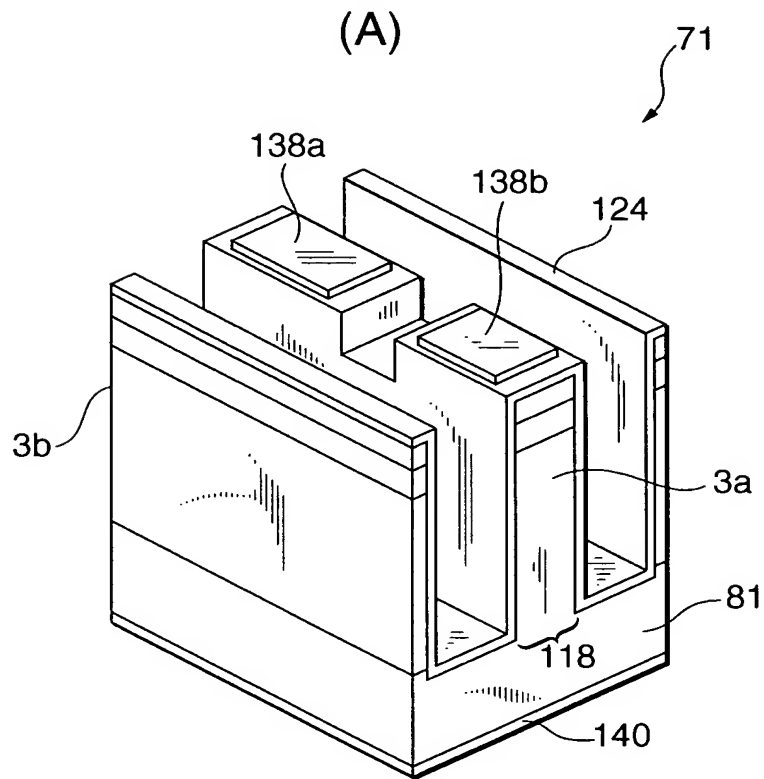
【図 5】



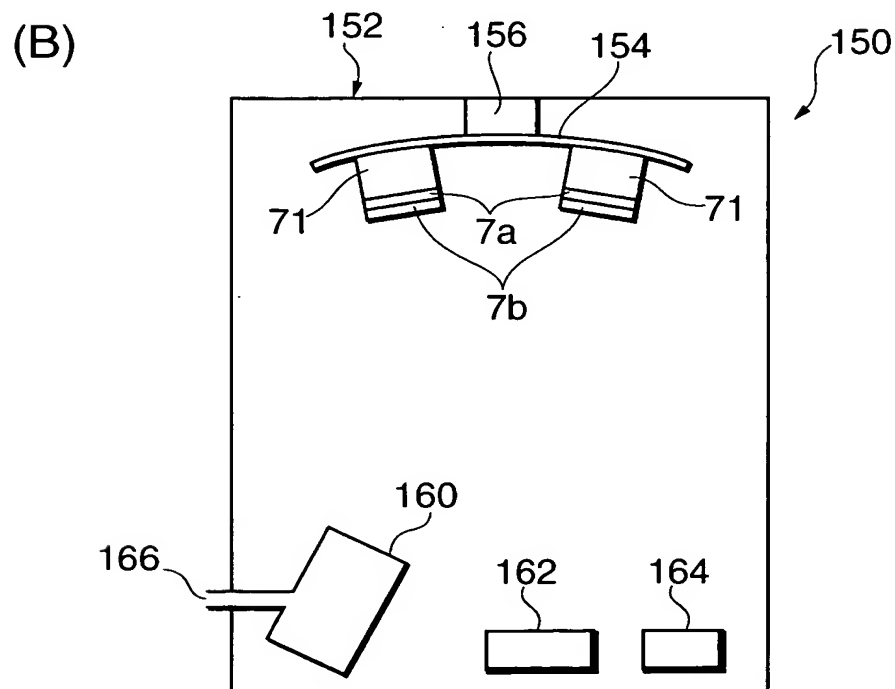
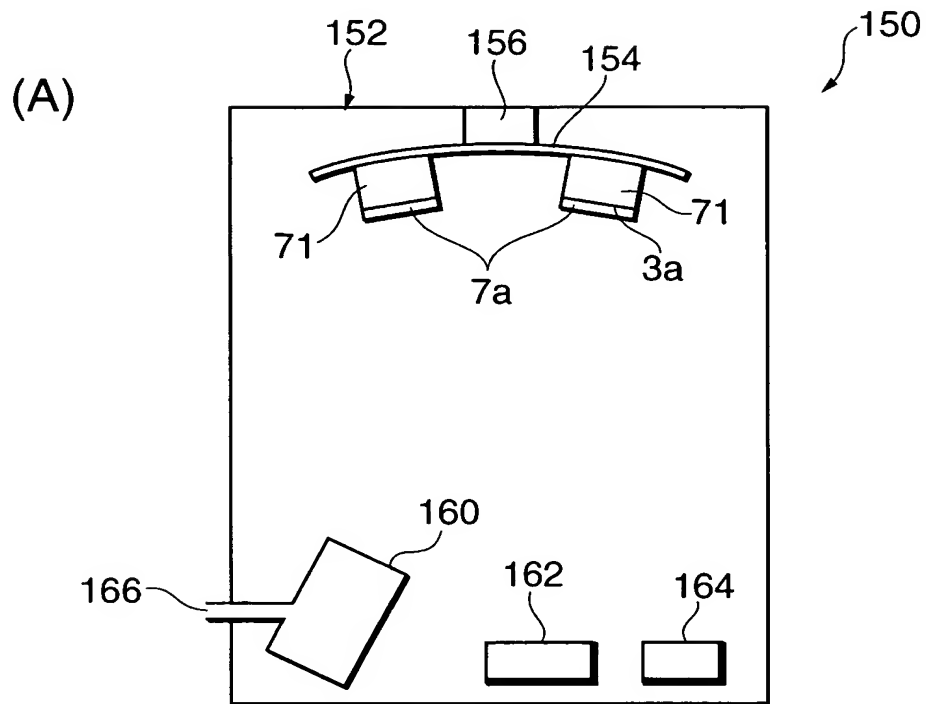
【図 6】



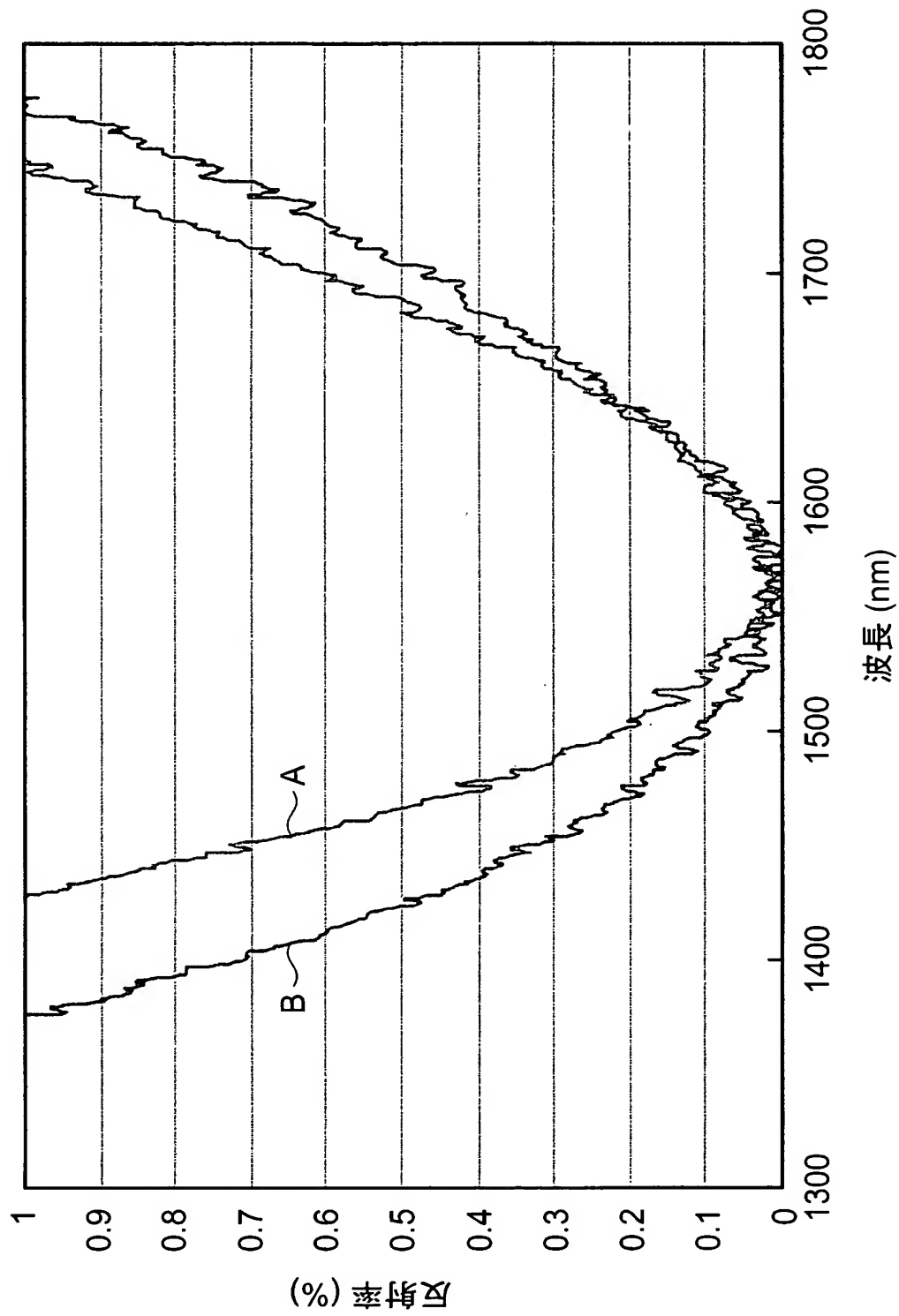
【図 7】



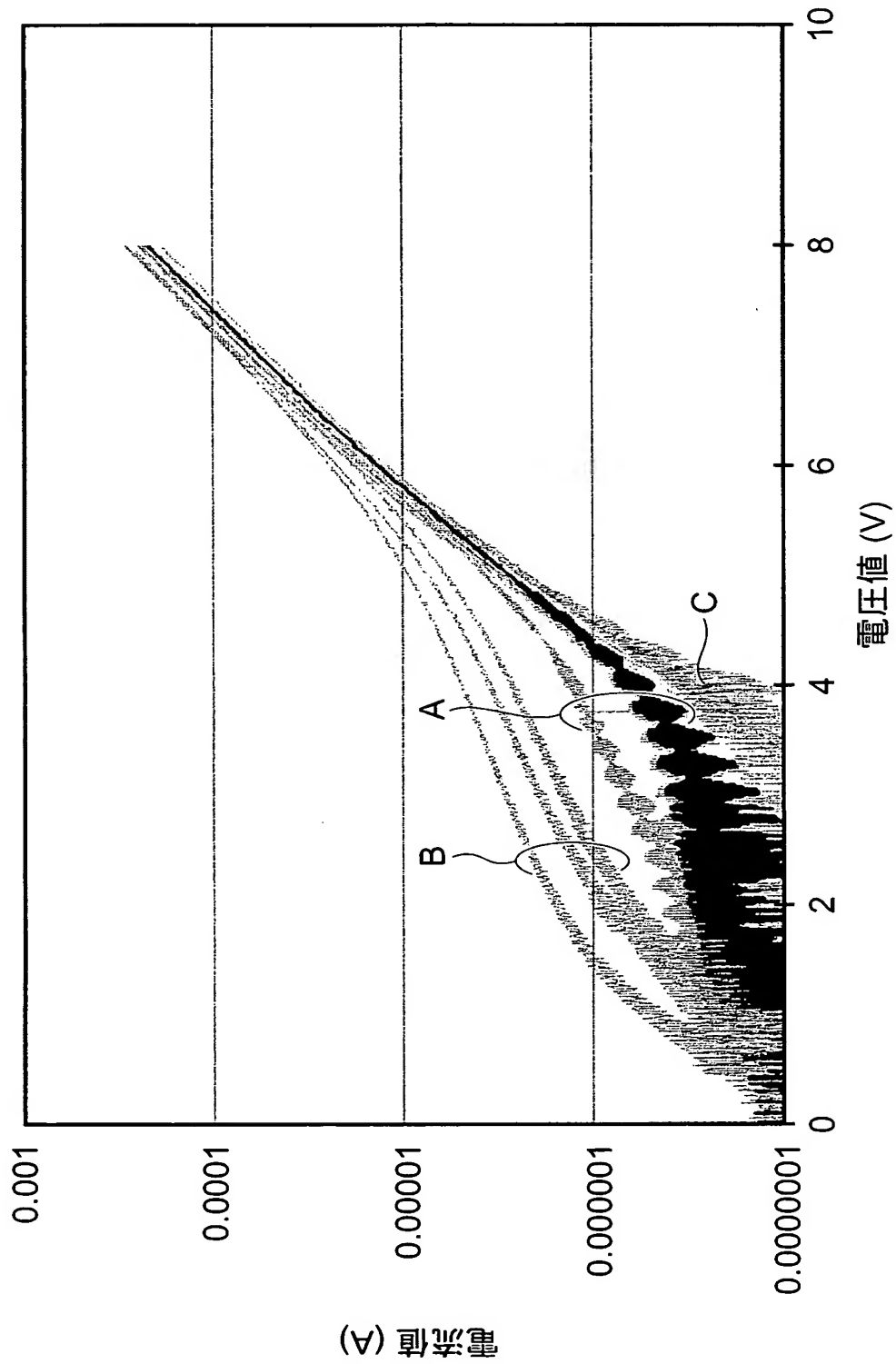
【図8】



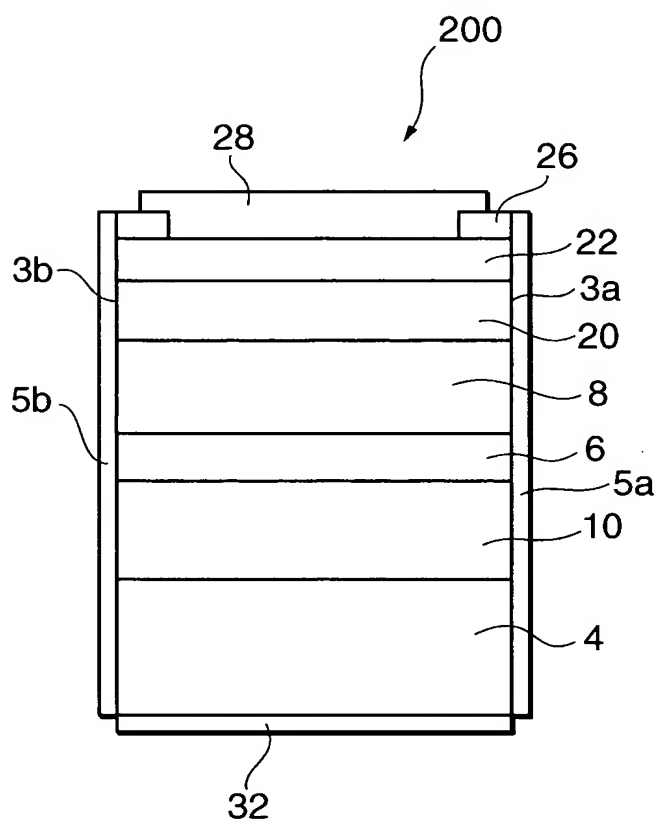
【図9】



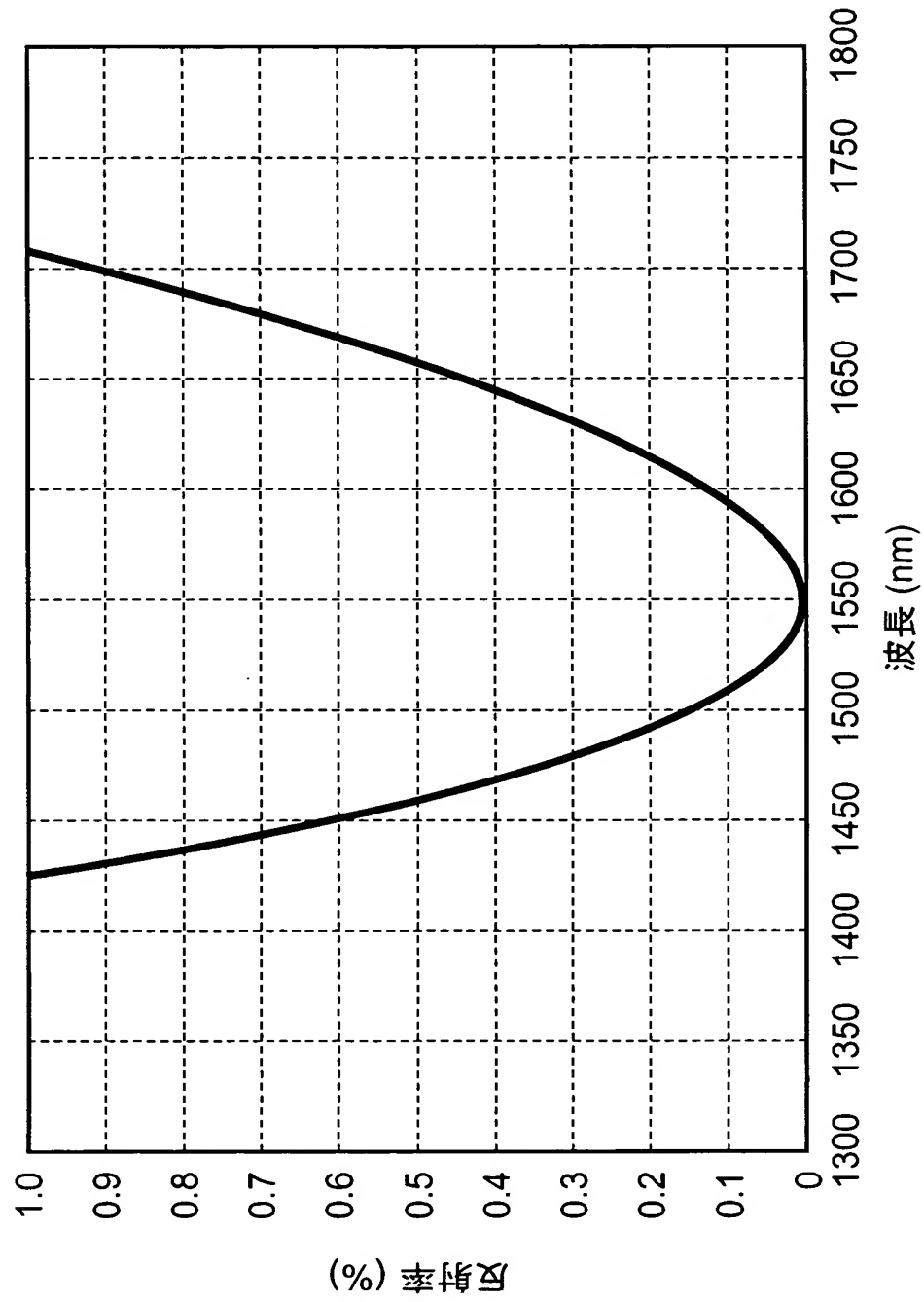
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 端面に膜厚の薄い反射防止膜を備える半導体発光デバイス及びその製造方法を提供する。

【解決手段】 半導体発光デバイス 1 は、第 1 及び第 2 の端面 3 a、3 b を有する半導体発光デバイス部 2 a と、第 1 の端面 3 a に設けられた反射防止膜 5 a と、を備える。反射防止膜 5 a は、第 1 の層 7 a と第 2 の層 7 b とを有する。第 1 の層 7 a は、第 1 の端面 3 a と第 2 の層 7 b との間に設けられている。第 1 の層 7 a の材料の屈折率は、第 2 の層 7 b の材料の屈折率よりも小さい。

【選択図】 図 1

特願 2 0 0 3 - 0 7 0 4 9 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 3 0]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市中央区北浜四丁目 5 番 3 3 号
氏 名	住友電気工業株式会社